

タイトル: エクサスケール計算とその要素技術としてのメモリシステム

**Title: Exascale Supercomputing Perspectives and
Memory Subsystem Study for Exascale Computing**

石井 康雄^{1,2}

Yasuo Ishii

¹ 東京大学 情報理工学系研究科

Graduate School of Information Science and Technology,
The University of Tokyo, Hongo Tokyo 113-8654

² 日本電気株式会社

NEC Corporation, Shiba Tokyo 108-8001

現在、2018年頃に「京」の約100倍の性能を実現することを目指した次世代スパコン(エクサスケール計算)の検討が世界の各所で行われている[1,2]。

本発表では、2011年から文部科学省などを中心に国内で検討を行なっているエクサスケール計算の検討状況[3]に関して前回発表からの差分に関して報告を行なう。また、その検討で得られた将来のアプリケーション特性・要求性能をメモリ容量・メモリ帯域の観点で解析し、どのような検討が将来のスーパーコンピュータを議論する上で重要であるかという考察を述べる。

さらに、次世代スパコンの要素技術の一つとしてのメモリ制御に関して紹介する。現代の多くのスーパーコンピュータの主記憶に利用されるDRAMはPCやスマートフォンなど日常生活でも広く使われている[4]。しかしながら、その制御には多くの制約があり、デバイスの性能を最大限に引き出すことは容易ではない[5]。本発表では、我々のグループで研究を行なっているDRAM制御の手法を紹介し、その効果に関して説明を行なう。

[1] Peter Kogge, Keren Bergman, Shekhar Borkar, Dan Campbell, William Carlson, William Dally, Monty Denneau, Paul Franzon, William Harrod, Kerry Hill, Jon Hiller, Sherman Karp, Stephen Keckler, Dean Klein, Robert Lucas, Mark Richards, Al Scarpelli, Steven Scott, Allan Snavely, Thomas Sterling, R. Stanley Williams, Katherine Yelick, ExaScale Computing Study: Technology Challenges in Achieving Exascale Systems, September 28, 2008

[2] International Exascale Software Project (IESP), http://www.exascale.org/iesp/Main_Page

[3] 戦略的高性能計算システム開発 <http://www.open-supercomputer.org/workshop/>

[4] DDR3 SDRAM, JEDEC Committee JC-42.3 JESD79-3D, 2009

[5] Scott Rixner, William J. Dally, Ujval J. Kapasi, Peter Mattson, and John D. Owens. 2000. Memory access scheduling. SIGARCH Comput. Archit. News 28, 2 (May 2000), 128-138